

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



© EPODOC / EPO

PN - JP9205597 A 19970805  
PD - 1997-08-05  
PR - JP19960012741 19960129  
OPD - 1996-01-29  
TI - ON-SCREEN DISPLAY DEVICE  
IN - KAMIMURA SHOICHI  
PA - MITSUBISHI ELECTRIC CORP MITSUBISHI DENKI  
SEMICONDUCTOR  
IC - H04N5/445 ; G09G5/00 ; G09G5/18 ; G09G5/30 ; G09G5/36

© WPI / DERWENT

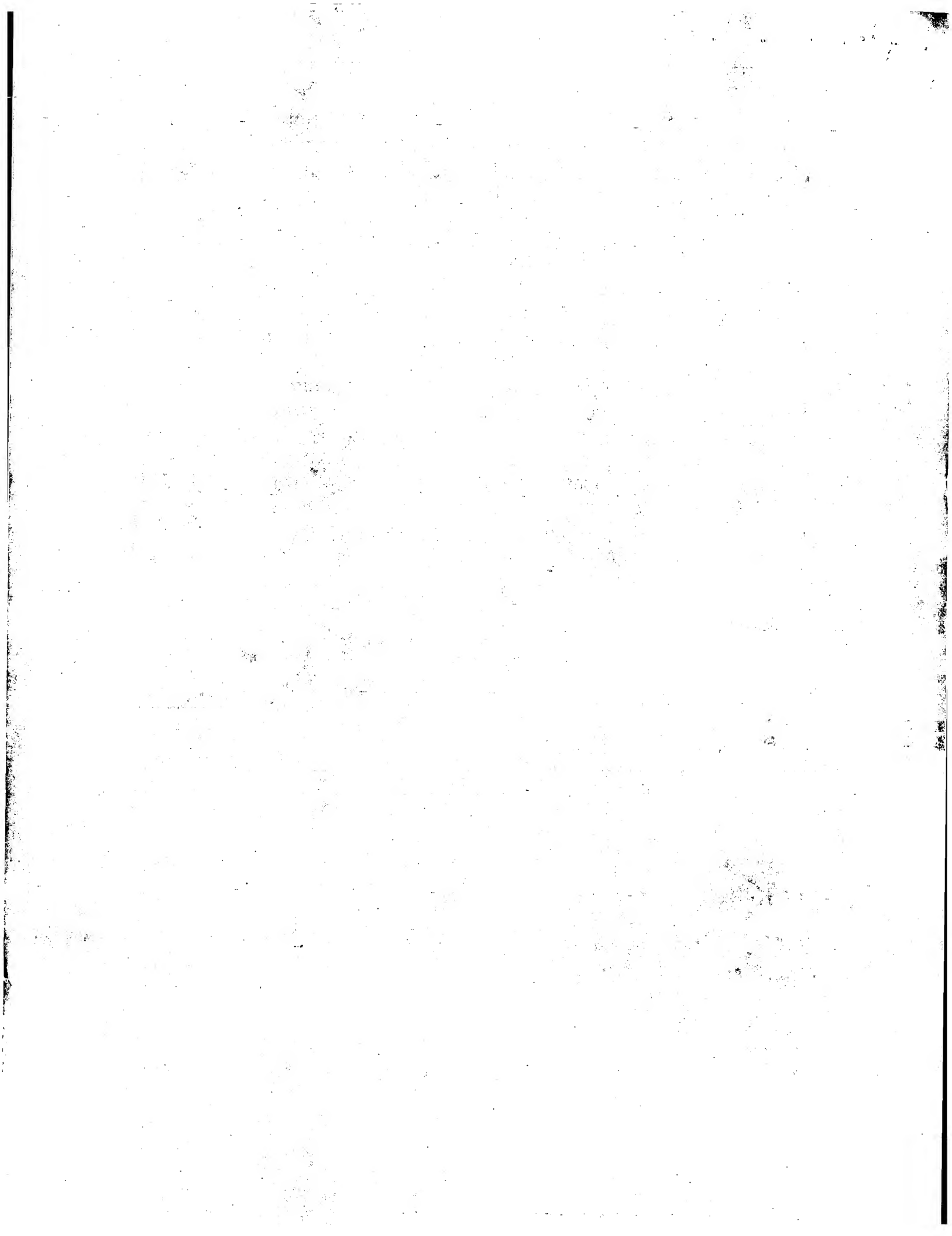
TI - On screen display unit for TV, VTR - includes sub information write-in unit which writes sub image information write-in unit which writes sub image information sequentially in memory area  
PR - JP19960012741 19960129  
PN - JP9205597 A 19970805 DW199741 H04N5/445 008pp  
PA - (MITQ ) MITSUBISHI DENKI SEMICONDUCTOR SOFTWARE  
- (MITQ ) MITSUBISHI ELECTRIC CORP  
IC - G09G5/00 ; G09G5/18 ; G09G5/30 ; G09G5/36 ; H04N5/445  
AB - J09205597 The unit comprises first and second memory areas (LM1, LM2) where a sub image information is stored. A sub image signal output unit (50) extracts sub image signal from sub image information and outputs with a predetermined timing based on a synchronizing signal.  
- A sub information write-in unit (10) writes the sub image information sequentially into the memory area in order of single line.  
- ADVANTAGE - Performs effective colour still image.  
- (Dwg.1/17)  
OPD - 1996-01-29  
AN - 1997-446567 [41]

© PAJ / JPO

PN - JP9205597 A 19970805  
PD - 1997-08-05  
AP - JP19960012741 19960129  
IN - KAMIMURA SHOICHI  
PA - MITSUBISHI ELECTRIC CORP MITSUBISHI DENKI  
SEMICONDUCTOR SOFTWARE KK  
TI - ON-SCREEN DISPLAY DEVICE



- AB
- PROBLEM TO BE SOLVED: To easily execute graphic display and diversified modification functions without increasing the circuit scale by providing a sub image signal output means and a sub image information write means sequentially writing sub image information by one line to a 1st memory area or a 2nd memory area from which the sub image signal output means does not read any information.
  - SOLUTION: An OSD RAM transfers sequentially data stored in a 1st memory area and a 2nd memory area of a line memory to an output circuit 50 sequentially. Furthermore, an OSD control circuit 30 transfers a timing control signal to the output circuit 50 to output an image signal based on a horizontal synchronizing signal H-SYNC, a vertical synchronizing signal V-SYNC and a pulse signal outputted from an oscillation circuit 20. Then a sub image signal is outputted in a prescribed timing based on the synchronizing signal outputted from an image signal output device 25 and sub image information by one line is sequentially written to an area from which the output circuit 50 does not read information by means of a CPU 10.
- I
- H04N5/445 ;G09G5/00 ;G09G5/00 ;G09G5/18 ;G09G5/30 ;G09G5/36 ;G09G5/36



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-205597

(43) 公開日 平成9年(1997)8月5日

(51) Int.Cl. <sup>8</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N 5/445			H 0 4 N 5/445	Z
G 0 9 G 5/00	5 1 0	9377-5H	G 0 9 G 5/00	5 1 0 S
	5 5 5	9377-5H		5 5 5 W
	5/18	9377-5H		5/18
	5/30	6 1 0		5/30
		9377-5H		6 1 0 C

審査請求 未請求 請求項の数 3 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平8-12741

(22) 出願日 平成8年(1996)1月29日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 391024515

三菱電機セミコンダクタソフトウェア株式会社

兵庫県伊丹市中央3丁目1番17号

(72) 発明者 上村 省一

兵庫県伊丹市中央3丁目1番17号 三菱電機セミコンダクタソフトウェア株式会社内

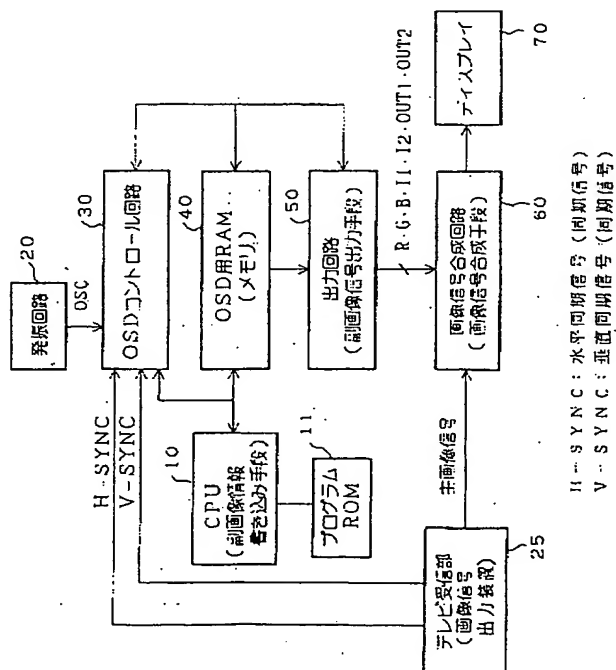
(74) 代理人 弁理士 宮田 金雄 (外3名)

(54) 【発明の名称】 オンスクリーンディスプレイ装置

(57) 【要約】

【課題】 回路規模を小さくした場合に自由なグラフィック表示ができないという課題があった。

【解決手段】 それぞれが1ドット毎の副画像情報を1ライン分格納する第1のメモリ領域及び第2のメモリ領域を有するOSD用RAM40と、第1のメモリ領域及び第2のメモリ領域に格納された副画像情報を交互に読み出し、読み出した副画像情報から副画像信号を抽出して所定のタイミングで副画像信号を出力する出力回路50と、第1のメモリ領域と第2のメモリ領域のうち、出力回路50が読み込み中でない方の領域に1ライン分の副画像情報を順次書き込んでいくCPU10とを具備するオンスクリーンディスプレイ装置。



## 【特許請求の範囲】

【請求項1】 画像信号出力装置から出力される主画像信号に前記画像信号装置の操作情報に関する副画像信号を合成して出力するオンスクリーンディスプレイ装置において、それぞれが1ドット毎の副画像情報を1ライン分格納する第1のメモリ領域及び第2のメモリ領域を有するメモリと、前記メモリの前記第1のメモリ領域及び前記第2のメモリ領域に格納された副画像情報を交互に読み出し、読み出した副画像情報から副画像信号を抽出して前記画像信号出力装置から出力される同期信号に基づいた所定のタイミングで前記副画像信号を出力する副画像信号出力手段と、前記メモリの前記第1のメモリ領域と前記第2のメモリ領域のうち、前記副画像信号出力手段が読み込み中でない方の領域に1ライン分の副画像情報を順次書き込んでいく副画像情報書き込み手段とを具備することを特徴とするオンスクリーンディスプレイ装置。

【請求項2】 副画像情報は1ドット毎の色情報及び各ドットに対応する主画像信号を制御するための主画像信号制御情報を含むことを特徴とする請求項1記載のオンスクリーンディスプレイ装置。

【請求項3】 主画像信号制御情報に基づいて主画像信号を制御するとともに制御された前記主画像信号に副画像信号出力手段から出力される副画像信号をスーパーインポーズする画像信号合成手段をさらに具備することを特徴とする請求項2記載のオンスクリーンディスプレイ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明はテレビ、ビデオテープレコーダなどから出力される画像に重ねて、これら装置の操作を行うための操作情報などを表示するためのオンスクリーンディスプレイ装置に関するものである。

## 【0002】

【従来の技術】図12は従来のオンスクリーンディスプレイ（以下、OSDと記す）装置の構成を示すブロック図である。同図において、1は装置全体の制御を行うCPU、2は表示制御を行うOSDコントロール回路、3は文字フォント等のパターンデータが格納されたOSD用ROM、4はCPU1によって指定された表示すべき文字及び色データを格納するためのOSD用RAM、5はOSD用ROM3から出力されたパターンデータを一時的にラッチするシフトレジスタ、6はシフトレジスタ5からのパターンデータ、OSD用RAM4に格納された色データ、及びOSDコントロール回路2からの文字修飾データに基づいてRGB信号等を出力する出力回路を示している。

【0003】図13は従来のOSD装置における文字「A」のフォントの一例の構成を示す図である。同図に示すように、この例では横が12ドット、縦が16ドット

のフォントの構成を採用している。なお、他の文字についても同様に横が12ドット、縦が16ドットのフォントの構成である。この構成のフォントで256文字の表示をするためにはOSD用ROM3は約6Kバイトの容量が必要になる。

【0004】図14は従来のOSD装置における1文字を表現するのに必要なOSD用RAM4に格納されるデータの構成を示す図である。同図において、B1は色指定用の第1バイト、B2はOSD用ROM3のキャラクタ指定用の第2バイトを示している。同図に示すように、第1バイトB1には画像のRGBパルスのオン・オフを示すビット、主画像信号であるテレビ等からの画像信号をカットすることを示す信号OUT1、主画像信号であるテレビ等からの画像信号をハーフトーンにすることを示す信号OUT2、RGBパルスの輝度を指示するためのデータを格納する信号I1、信号I2が格納されている。従って、例えば、24文字、2行の表示を行うとすれば、OSD用RAM4は少なくとも96バイト必要になる。

【0005】なお、OSDコントロール回路2は、表示すべき文字のサイズを変更する文字サイズ変更回路2aと、表示すべき文字の縁取りの制御を行う縁取り制御回路2bと、表示する文字の背景に着色する文字背景着色回路2cとを具備する。

【0006】次に動作について説明する。CPU1はOSD用RAM4に図14に示す構成の表示すべき文字データを格納する。するとOSD用RAM4に格納されている第2バイトB2のデータがOSD用ROM3に転送されOSD用ROM3は対応する文字パターンデータが12ビットのシフトレジスタ5に出力される。そして、シフトレジスタ5で文字パターンデータは一時的にラッチされてから出力回路6に出力される。

【0007】一方、第1バイトB1はOSDコントロール回路2で読みとられて必要な文字修飾処理及び同期処理等が施されて出力回路6に色データ及び制御データが転送される。出力回路6ではシフトレジスタ5からの文字パターンデータとOSDコントロール回路2から出力される色データ及び制御データに基づいてRGBパルス、I1信号、I2信号、OUT1信号、OUT2信号がOSDコントロール回路2に入力される発振信号OSC、水平同期信号H-SYNC、垂直同期信号V-SYNCに同期して出力される。

【0008】図15は文字サイズ変更回路2aが実行する文字「A」のサイズの変更を示す図である。同図に示すように通常サイズの文字C1は2倍のサイズの文字C2あるいは3倍のサイズの文字C3に拡大される。

【0009】図16は、図13に示す文字パターンに縁取り制御回路2bが行う縁取り制御が施された文字パターンを示す図である。同図に示すように図13に示す文字パターンの回りのドットでOUT1信号を出力し、さ



らにR信号パルス、G信号パルス、B信号パルスのいずれも出力されないように制御して文字の回りが黒く縁取られるようにしている。

【0010】図17は、図13に示す文字パターンに文字背景着色回路2cが行う処理が施された文字パターンを示す図である。同図に示すように文字フォントのドットパターンで文字を構成していない部分のドットを文字の色とは異なる色で着色する制御を行っている。すなわち、文字を構成するRGB信号パルスの組み合わせとは異なる組み合わせのRGB信号パルスを、文字を構成しないドットで出力するように制御している。

【0011】

【発明が解決しようとする課題】従来のオンスクリーンディスプレイ装置は以上のように構成されているので、アルファベットや数字を12×16ドットの文字領域に表示できたが、グラフィックパターン等を表示する場合には容量の大きなOSD用ROMを使用しなければならず、また表示の着色機能および修飾機能も12×16ドット等の一定の範囲毎に行われるためにグラフィック表示には向かないという課題があった。また、ビットマップ型のOSD回路を用いてグラフィック表示を実行させようとした場合には表示範囲に対応するビットマップ型のRAMが必要になり、回路規模が大きくなるという課題があった。

【0012】この発明は上記のような課題を解決するためになされたもので、回路規模を大きくすることなく容易にグラフィック表示や多彩な修飾機能を実行できるオンスクリーンディスプレイ装置を得ることを目的とする。

【0013】

【課題を解決するための手段】請求項1記載の発明に係るオンスクリーンディスプレイ装置は、それぞれが1ドット毎の副画像情報を1ライン分格納する第1のメモリ領域及び第2のメモリ領域を有するメモリと、第1のメモリ領域及び第2のメモリ領域に格納された副画像情報を交互に読み出し、読み出した副画像情報から副画像信号を抽出して画像出力装置から出力される同期信号に基づいた所定のタイミングで副画像信号を出力する副画像信号出力手段と、第1のメモリ領域と第2のメモリ領域のうち、副画像信号出力手段が読み込み中でない方の領域に1ライン分の副画像情報を順次書き込んでいく副画像情報書き込み手段とを具備するものである。

【0014】請求項2記載の発明に係るオンスクリーンディスプレイ装置は、副画像情報に1ドット毎の色情報及び各ドットに対応する主画像信号を制御する主画像信号制御情報を含むように構成したものである。

【0015】請求項3記載の発明に係るオンスクリーンディスプレイ装置は、主画像信号制御情報に基づいて主画像信号を制御するとともに制御された主画像信号に副画像信号出力手段から出力される副画像信号をスーパー

インポーズする画像信号合成手段を具備するものである。

【0016】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1のオンスクリーンディスプレイ（以下、OSDと記す）装置の構成を示すブロック図である。同図において、10はOSD装置全体の制御を行うCPU（副画像情報書き込み手段）、11はCPU10のプログラムやデータ等が格納されているプログラムROM、20はドット毎の画像表示のタイミングを示すパルスを生成する発振回路、25はテレビ受信部（画像信号出力装置）、30はCPU10からの指示、水平同期信号（同期信号）H-SYNC、垂直同期信号（同期信号）V-SYNC、及び、発振回路20からの発振パルスOSCに基づいてテレビ受信部25からの主画像信号に副画像信号を合成するタイミング制御等を行うOSDコントロール回路、40はOSD装置による副画像の表示領域の2ライン分のデータを格納する容量を有するOSD用RAM（メモリ）、50はOSD用RAM40から出力される副画像のデータからRGBパルス信号、RGB信号（色情報）の輝度を示す輝度信号I1、I2、主画像信号をカットすることを示す信号（主画像信号制御情報）OUT1、及び、主画像信号をハーフトーンにすることを示す信号（主画像信号制御情報）OUT2を出力する出力回路（副画像信号出力手段）、60は出力回路50から出力される副画像信号と主画像信号とを合成する画像信号合成回路（画像信号合成手段）、70は画像信号合成回路60から出力された合成画像を表示するディスプレイである。なお、この実施の形態では、テレビ受信部25からの画像信号を主画像、OSD装置で生成される操作情報等の画像を副画像と定義する。また、水平同期信号H-SYNC及び垂直同期信号V-SYNCはテレビ受信部25からOSDコントロール回路30に供給される。さらに、この実施の形態ではテレビ受信部25を画像出力装置の一例として取り上げたが、例えばビデオテープレコーダのようにある操作を伴い、画像を出力する装置であればこの実施の形態のOSD装置を適用することができる。

【0017】図2は1ドットを表現するのに必要なOSD用RAM40に格納されるデータの構成を示す図である。同図に示すように、OSD用RAM40には1ドット毎に、副画像のRGBパルスのオン・オフを示すビット、主画像信号をカットすることを示す信号OUT1、主画像信号をハーフトーンにすることを示す信号OUT2、RGBパルスの輝度を指示するためのデータを格納する信号I1、I2が格納されている。すなわち、1ドット毎に1バイトが割り当てられてOSD用RAM40に格納されている。なお、1バイトのうちの1ビットは未使用となっており実際には1ドットに対し7ビットの

情報が与えられるようになっている。

【0018】なお、この実施の形態では、テレビの制御情報等を表示する副画像の表示領域の幅を288ドットとした場合について説明する。従って、OSD用RAM40は2ライン分576ドットの各ドットに対して1バイト与えられるので576バイトの容量が必要になる。すなわち、OSD用RAM40は、容量が288バイトのラインメモリLM1（第1のメモリ領域）及びラインメモリLM2（第2のメモリ領域）を有している。

【0019】図3はCPU10が行うOSD用RAM40のデータの書き換え動作を示すフローチャートである。また図4はCPU10がOSD用RAM40のデータの書き換え動作を示す様子を模式的に示す図であり、LM1、LM2はOSD用RAM40のラインメモリ、IMは模式的に示した画像データを示している。この例では縦が16ドットで表示した場合、すなわち16ラインである場合について説明するが、縦のドット数はCPU10のプログラムにより自由に変更することができる。

【0020】まず、最初は、ラインメモリLM1及びラインメモリLM2に副画像の第1ライン、第2ラインのデータをCPU10がプログラムROM11から転送して書き込み動作を実行する。次に、第1ラインの表示が終了した場合には（ステップST301）、OSD用RAM40の第1ラインが格納されていたOSD用RAM40のラインメモリLM1に第3ラインのデータを転送して書き込み動作を実行する（ステップST302）。第2ラインの表示が終了した場合には（ステップST303）、OSD用RAM40のラインメモリLM2に第4ラインのデータを転送して書き込み動作を実行する（ステップST304）。以下、第14ラインまでのデータは同様にラインメモリLM1、LM2に交互にデータを書き込む。そして、第15ラインの表示が終了した場合には（ステップST305）、第15ラインのデータが格納されていたラインメモリに第1ラインのデータを転送して書き込み動作を実行する（ステップST306）。さらに第16ラインの表示が終了した場合には（ステップST305）、第16ラインのデータが格納されていたラインメモリに第2ラインのデータを転送して書き込み動作を実行する（ステップST307）。このような動作を連続して繰り返すことにより図4に示す画像データIMが、順次、OSD用RAM40のラインメモリLM1、LM2に交互に格納されていく。

【0021】一方、OSD用RAM40はラインメモリLM1、LM2に格納されたデータを、順次、出力回路50に転送する。また、OSDコントロール回路30は水平同期信号H-SYNC、垂直同期信号V-SYNC、発振回路20から出力されるパルス信号に基づいて画像信号を出力するためのタイミング制御信号を出力回路50に転送する。このタイミング制御信号にはディス

プレイ70のスクリーン上のどの位置に副画像を表示するかなどの情報が含まれている。出力回路50ではOSDコントロール回路30から転送されてくるタイミング制御信号及びOSD用RAM40から送られてくるデータに基づいてRGBパルス信号、信号OUT1、信号OUT2、信号I1、I2が画像信号合成回路60に出力される。

【0022】画像信号合成回路60では主画像信号に出力回路50から出力されるRGB信号がスーパーインポーズされて合成画像信号がCRTなどのディスプレイ70に送られ、スクリーン上に合成画像が表示される。なお、出力回路50から送られてくる信号OUT1がオンの場合には画像信号合成回路60はそのドットに対応する主画像信号をカットする。また、出力回路50から送られてくる信号OUT2がオンの場合には画像信号合成回路60はそのドットに対応する主画像信号をハーフトーンにする。また、信号I1、信号I2は組み合わせて用いられ、2ビットの輝度情報をもっている。画像信号合成回路60は信号I1、信号I2に基づいて出力回路50から出力されるRGB信号の輝度を4段階に調整して主画像信号と合成する。

【0023】なお、以上の構成のOSD装置では、従来のOSD装置のようにキャラクタパターンが予め格納されたキャラクタROMを使用せず自由にグラフィックパターンを描くことがCPU10のプログラムROM11に格納されているプログラムにより実現できる。従って、文字の表示及び文字の修飾動作についてもCPU10のプログラムROM11に格納されているプログラムによって実現できる。

【0024】図5は横12ドット、縦16ラインのフォントで構成される緑色の文字「A」の表示画像を示す図である。また、図6は図5に示す緑の文字「A」が表示される場合にラインメモリLM1、LM2に順次格納される実際のデータを示している。図7は図5の緑の部分のドットに対応する1バイト画像データの構成を示している。図7に示すように緑の部分のドットには、G信号パルスのみ「1」、すなわちオンとなっており、その他のビットはすべて「0」である「20H」が書き込まれる。なお、無色の部分のドットは「00H」が書き込まれる。この無色の部分は主画像がスクリーンに映し出されることになる。

【0025】図8は横12ドット、縦16ラインのフォントで構成される赤色の文字「A」に縁取り処理を施した場合の表示画像を示す図である。また、図9は図8に示す縁取り処理が施された赤色の文字「A」が表示される場合にラインメモリLM1、LM2に順次格納される実際のデータを示している。同図に示すように赤色のドットに対応する部分にはR信号のビットのみが「1」である「40H」のデータが書き込まれる。また縁取りの黒の部分には信号OUT1のビットのみが「1」である

「08H」が書き込まれる。このため縁取りの部分は主画像がカットされるとともに副画像も表示されないで黒く見えるようになる。なお、無色の部分のドットは「00H」が書き込まれ、この無色の部分は主画像がスクリーンに映し出されることになる。

【0026】図10は横12ドット、縦16ラインのフォントで構成される赤色の文字「A」の背景を緑にする背景着色処理を施した場合の表示画像を示す図である。また、図11は図10に示す背景着色処理が施された赤色の文字「A」が表示される場合にラインメモリLM1、LM2に順次格納される実際のデータを示している。同図に示すように赤色の文字のドットに対応する部分にはR信号のビットのみが「1」である「40H」のデータが書き込まれる。また、背景の緑の部分にはG信号のみが「1」である「20H」のデータが書き込まれる。

【0027】以上の説明では、文字「A」についての表示、及びその修飾動作について説明したが、この実施の形態のOSD装置では、文字のフォントやサイズ等にとらわれずに自由なグラフィック表示を行うことができる。実際にはCPU10は例えばテレビ受信部25のボリューム等の操作系と連携してインタラクティブに画面に画像をスーパーインポーズするように構成されている。

【0028】なお、以上の説明では、OSD用RAM40に2つのラインメモリLM1、LM2を設けるように構成したが、3つ以上のラインメモリを用意してそれぞれのラインメモリを、順次、サイクリックに1つ選んでCPU10から画像データを転送することを繰り返すように構成してもよい。この場合には、複数のラインが走査される間にCPU10は1ライン分のデータを転送すればよいので処理に余裕ができ、またより低速で安価なCPUを用いることができる。

【0029】以上説明したように、この実施の形態によれば、OSD用RAM40を2ライン分の容量として各ラインメモリに交互にデータを格納するようにしているので回路規模を小さく抑えつつ、任意の大きさの微細なグラフィック画像を表示することができるという効果がある。

#### 【0030】

【発明の効果】以上のように、請求項1記載の発明によれば、メモリにそれぞれが1ドット毎の副画像情報を1ライン分格納する第1のメモリ領域及び第2のメモリ領域を設け、第1のメモリ領域及び第2のメモリ領域に格納された副画像情報を交互に読み出し、読み出した副画像情報から副画像信号を抽出して画像信号出力装置から出力される同期信号に基づいた所定のタイミングで副画像信号を出力するとともに第1のメモリ領域と第2のメモリ領域のうち、読み込み中でない方の領域に1ライン分の副画像情報を順次書き込んでいくように構成したの

で、回路規模を抑えつつ任意の大きさの微細なグラフィック画像を表示できる効果がある。

【0031】請求項2記載の発明によれば、副画像情報に1ドット毎の色情報及び各ドットに対応する主画像信号を制御する主画像信号制御情報を含むように構成したので、さらに多彩な表示が可能になる効果がある。

【0032】請求項3記載の発明によれば、画像信号合成手段を主画像信号制御情報に基づいて主画像信号を制御するとともに制御された主画像信号に副画像信号をスーパーインポーズするように構成したので、さらに多彩な表示が可能になる効果がある。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1のOSD装置の構成を示すブロック図である。

【図2】 この発明の実施の形態1の1ドットを表現するのに必要なOSD用RAMに格納されるデータの構成を示す図である。

【図3】 この発明の実施の形態1のCPUが行うOSD用RAMのデータの書き換え動作を示すフローチャートである。

【図4】 この発明の実施の形態1のCPUがOSD用RAMのデータの書き換え動作を示す様子を模式的に示す図である。

【図5】 この発明の実施の形態1において横12ドット、縦16ラインのフォントで構成される緑色の文字「A」の表示画像を示す図である。

【図6】 この発明の実施の形態1において図5に示す緑の文字「A」が表示される場合にラインメモリに順次格納される実際のデータを示す図である。

【図7】 この発明の実施の形態1において図5の緑の部分のドットに対応する1バイト画像データの構成を示す図である。

【図8】 この発明の実施の形態1において横12ドット、縦16ラインのフォントで構成される赤色の文字「A」に縁取り処理を施した場合の表示画像を示す図である。

【図9】 この発明の実施の形態1において図8に示す縁取り処理が施された赤色の文字「A」が表示される場合にラインメモリに順次格納される実際のデータを示す図である。

【図10】 この発明の実施の形態1において横12ドット、縦16ラインのフォントで構成される赤色の文字「A」の背景を緑にする背景着色処理を施した場合の表示画像を示す図である。

【図11】 この発明の実施の形態1において図10に示す背景着色処理が施された赤色の文字「A」が表示される場合にラインメモリに順次格納される実際のデータを示す図である。

【図12】 従来のOSD装置の構成を示すブロック図である。

【図13】 従来のOSD装置における文字「A」のフォントの一例の構成を示す図である。

【図14】 従来のOSD装置における1文字を表現するのに必要なOSD用RAMに格納されるデータの構成を示す図である。

【図15】 従来のOSD装置において文字「A」のサイズの変更を示す図である。

【図16】 従来のOSD装置において縁取り制御が施された文字パターンを示す図である。

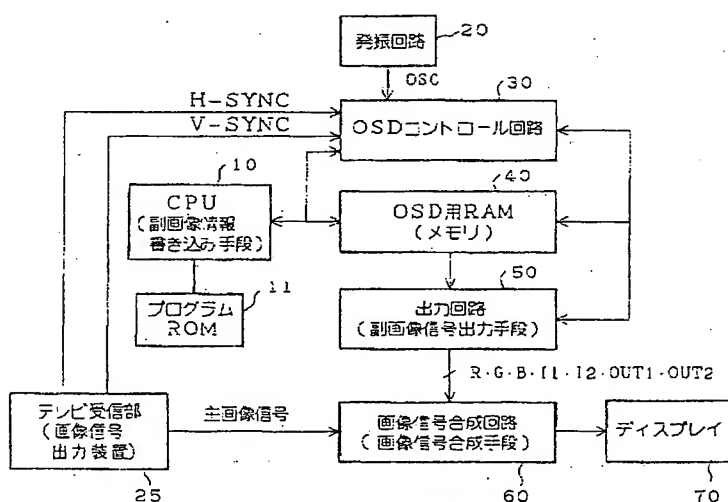
【図17】 従来のOSD装置において文字背景着色が

施された文字パターンを示す図である。

【符号の説明】

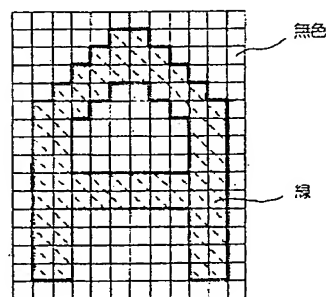
10 CPU (副画像情報書き込み手段)、25 テレビ受信部 (画像信号出力装置)、40 OSD用RAM (メモリ)、50 出力回路 (副画像信号出力手段)、60 画像信号合成回路 (画像信号合成手段)、H-SYNC 水平同期信号 (同期信号)、V-SYNC 垂直同期信号 (同期信号)、LM1 ラインメモリ (第1のメモリ領域)、LM2 ラインメモリ (第2のメモリ領域)。

【図1】

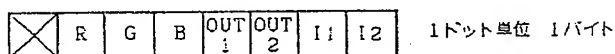


H-SYNC: 水平同期信号 (同期信号)  
V-SYNC: 垂直同期信号 (同期信号)

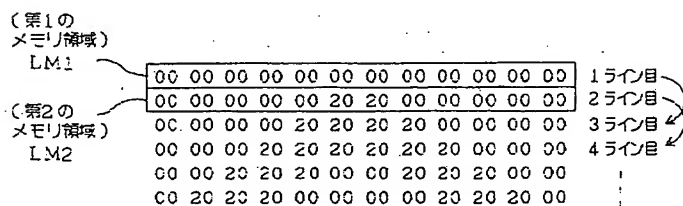
【図5】



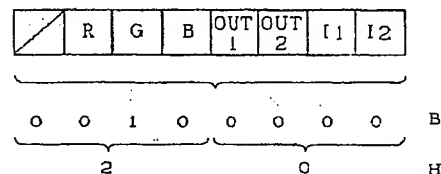
【図2】



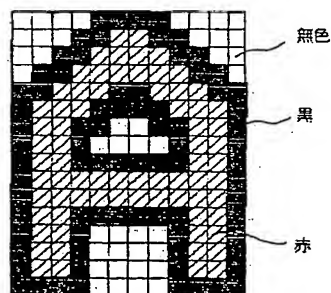
【図6】



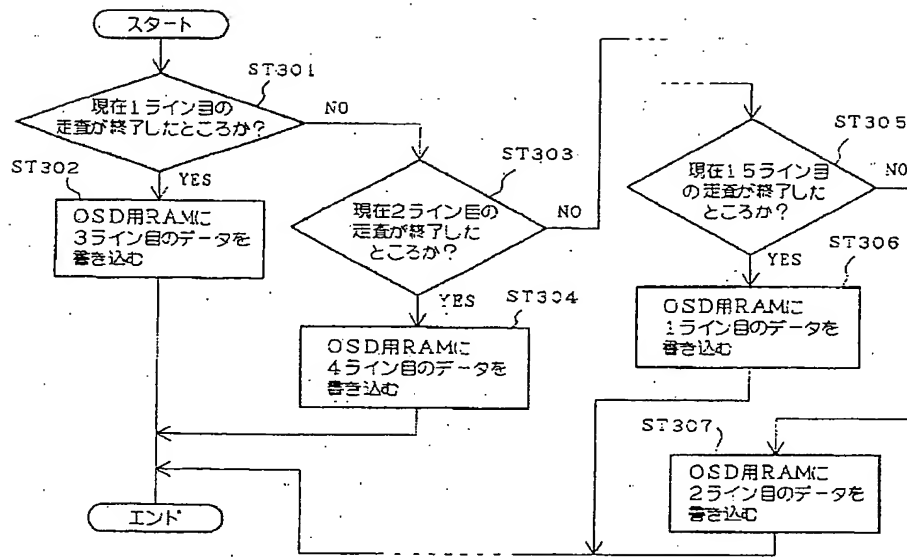
【図7】



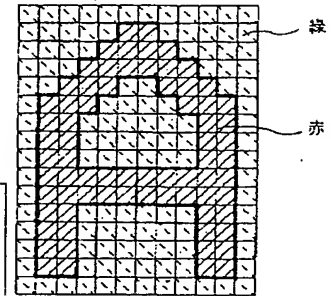
【図8】



【図3】

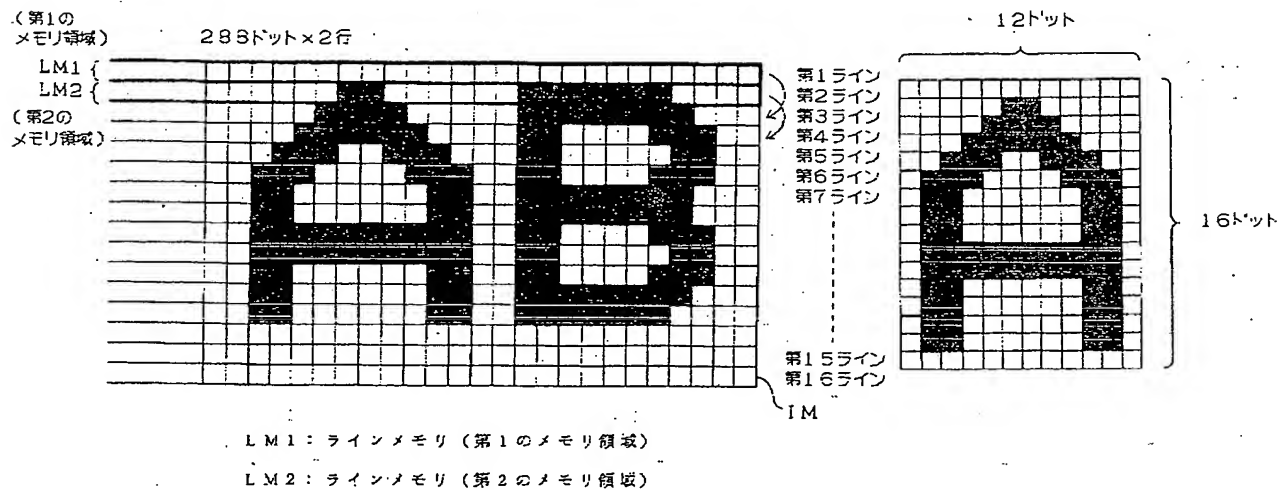


【図10】



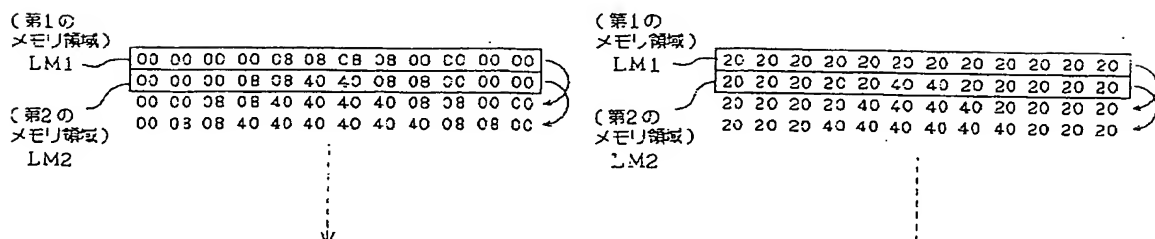
【図4】

【図13】

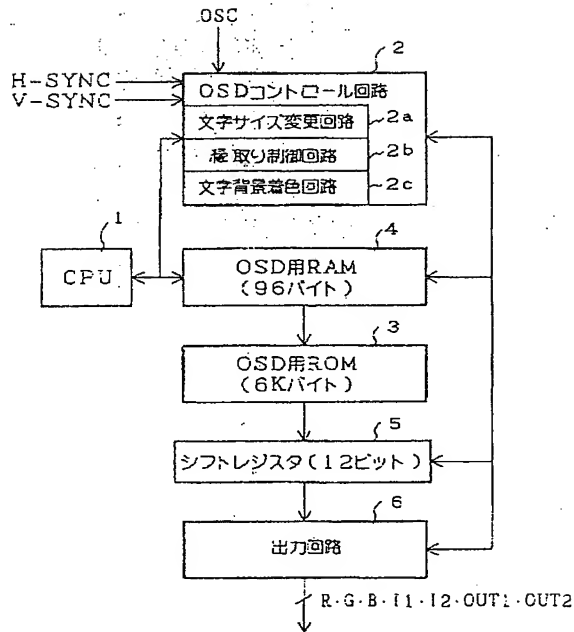


【図9】

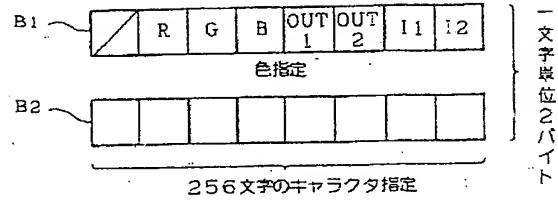
【図11】



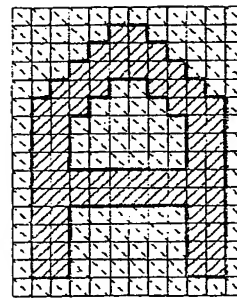
【図12】



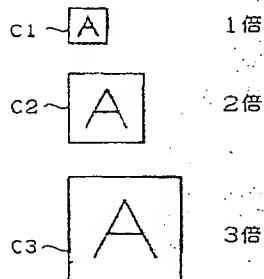
【図14】



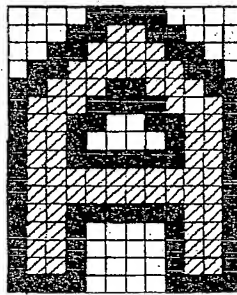
【図17】



【図15】



【図16】



フロントページの続き

(51)Int. Cl.<sup>6</sup>  
G09G 5/36

識別記号  
520  
530

庁内整理番号  
9377-5H  
9377-5H

FI  
G09G 5/36

技術表示箇所

520N  
530J